

PATENT
81754.0117

Express Mail Label No. EV 324 112 530 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yoshiharu OGATA

Serial No: Not assigned

Filed: March 19, 2004

For: Semiconductor Device, Electronic
Device, Electronic Equipment and
Manufacturing Method Thereof

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2003-088829 which was filed March 27, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: March 19, 2004

By: 

Anthony J. Orler

Registration No. 41,232

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900

Los Angeles, California 90071

Telephone: 213-337-6700

Facsimile: 213-337-6701

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月27日
Date of Application:

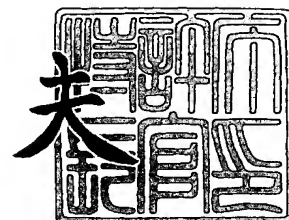
出願番号 特願2003-088829
Application Number:
[ST. 10/C]: [JP 2003-088829]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年11月18日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫





【書類名】 特許願

【整理番号】 J0098514

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/056

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 尾形 義春

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

 【連絡先】 0 2 6 6 - 5 2 - 3 5 2 8

【選任した代理人】

 【識別番号】 100107076

 【弁理士】

 【氏名又は名称】 藤網 英吉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

 【予納台帳番号】 013044

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1



【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0109826
【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体装置、電子デバイス、電子機器および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 導電性ワイヤ接続用の端子が設けられた基材と、
前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第 1 半導体チップと、
絶縁性スペーサを介して前記第 1 半導体チップ上に配置された第 2 半導体チップと、

前記絶縁性スペーサに混入され、前記第 1 半導体チップと前記第 2 半導体チップとの間隔を保持する固形部材とを備えることを特徴とする半導体装置。

【請求項 2】 導電性ワイヤ接続用の端子が設けられた基材と、
前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第 1 半導体チップと、
絶縁性樹脂を介して前記第 1 半導体チップ上に配置された第 2 半導体チップと、

前記絶縁性樹脂に混入され、前記第 1 半導体チップと前記第 2 半導体チップとの間隔を保持する固形部材とを備えることを特徴とする半導体装置。

【請求項 3】 導電性ワイヤ接続用の端子が設けられた基材と、
前記基材上にフェースアップ実装された第 1 半導体チップと、
前記第 1 半導体チップに設けられた第 1 電極パッドと、
前記第 1 電極パッドと前記基材に設けられた端子とを電氣的に接続する第 1 導電性ワイヤと、

前記第 1 半導体チップ上に配置された第 2 半導体チップと、
前記第 2 半導体チップに設けられた第 2 電極パッドと、
前記第 2 電極パッドと前記基材に設けられた端子とを電氣的に接続する第 2 導電性ワイヤと、

前記第 1 半導体チップ上の第 1 導電性ワイヤを包み込むようにして、前記第 1 半導体チップと前記第 2 半導体チップとの間に設けられた絶縁性樹脂と、

前記絶縁性樹脂に混入され、前記第1半導体チップと前記第2半導体チップとの間隔を保持する固形部材と、

前記第1導電性ワイヤが接続された第1半導体チップおよび前記第2導電性ワイヤが接続された第2半導体チップを封止する封止樹脂とを備えることを特徴とする半導体装置。

【請求項4】 導電性ワイヤ接続用の端子が設けられた基材と、
前記基材上にフェースアップ実装された第1半導体チップと、
前記第1半導体チップに設けられた第1電極パッドと、
前記第1電極パッドと前記基材に設けられた端子とを電氣的に接続する第1導電性ワイヤと、

前記第1半導体チップ上に配置された第2半導体チップと、
前記第2半導体チップに設けられた第2電極パッドと、
前記第2電極パッドと前記基材に設けられた端子とを電氣的に接続する第2導電性ワイヤと、

少なくとも前記第2電極パッド下に存在するようにして、前記第1半導体チップと前記第2半導体チップとの間に設けられた絶縁性樹脂と、

前記絶縁性樹脂に混入され、前記第1半導体チップと前記第2半導体チップとの間隔を保持する固形部材とを備えることを特徴とする半導体装置。

【請求項5】 前記第2半導体チップの裏面全体に形成された絶縁層をさらに備えることを特徴とする請求項1～4のいずれか1項記載の半導体装置。

【請求項6】 前記固形部材の大きさは前記第1半導体チップと前記第2半導体チップとの間の間隔に対応して設定されていることを特徴とする請求項1～5のいずれか1項記載の半導体装置。

【請求項7】 導電性ワイヤ接続用の端子が設けられた基材と、
前記基材上にフリップチップ実装された第1半導体チップと、
接着層を介して前記第1半導体チップ上にフェースアップ実装され、第1導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第2半導体チップと、

絶縁性スペーサを介して前記第2半導体チップ上にフェースアップ実装され、

第 2 導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第 3 半導体チップと、

前記絶縁性スペーサに混入され、前記第 2 半導体チップと前記第 3 半導体チップとの間隔を保持する固形部材とを備えることを特徴とする半導体装置。

【請求項 8】 導電性ワイヤ接続用の端子が設けられた基材と、

前記基材上にフリップチップ実装された第 1 半導体チップと、

接着層を介して前記第 1 半導体チップ上にフェースアップ実装され、第 1 導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第 2 半導体チップと、

絶縁性樹脂を介して前記第 2 半導体チップ上にフェースアップ実装され、第 2 導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第 3 半導体チップと、

前記絶縁性樹脂に混入され、前記第 2 半導体チップと前記第 3 半導体チップとの間隔を保持する固形部材とを備えることを特徴とする半導体装置。

【請求項 9】 前記固形部材は、前記半導体チップよりも弾性が高い弾性体であることを特徴とする請求項 1 ～ 8 のいずれか 1 項記載の半導体装置。

【請求項 10】 前記固形部材は球状粒子であることを特徴とする請求項 1 ～ 9 のいずれか 1 項記載の半導体装置。

【請求項 11】 前記球状粒子の粒径の最大値は前記絶縁性スペーサまたは前記絶縁性樹脂の厚みと実質的に等しいことを特徴とする請求項 1 ～ 10 のいずれか 1 項記載の半導体装置。

【請求項 12】 前記球状粒子の重量は、前記絶縁性スペーサまたは前記絶縁性樹脂の重量の 1 ～ 10 % であることを特徴とする請求項 1 ～ 11 のいずれか 1 項記載の半導体装置。

【請求項 13】 導電性ワイヤ接続用の端子が設けられた基材と、

前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第 1 電子部品と、

絶縁性スペーサを介して前記第 1 電子部品上に配置された第 2 電子部品と、

前記絶縁性スペーサに混入され、前記第 1 電子部品と前記第 2 電子部品との間

隔を保持する固形部材とを備えることを特徴とする電子デバイス。

【請求項 14】 導電性ワイヤ接続用の端子が設けられた基材と、

前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第 1 半導体チップと、

絶縁性スペーサを介して前記第 1 半導体チップ上に配置された第 2 半導体チップと、

前記絶縁性スペーサに混入され、前記第 1 半導体チップと前記第 2 半導体チップとの間隔を保持する固形部材と、

前記基材を介して前記第 1 半導体チップおよび前記第 2 半導体チップと電氣的に接続された電子部品とを備えることを特徴とする電子機器。

【請求項 15】 導電性ワイヤ接続用の端子が設けられた基材上に第 1 半導体チップをマウントする工程と、

前記基材上にマウントされた第 1 半導体チップと前記基材に設けられた端子とを導電性ワイヤで接続する工程と、

前記導電性ワイヤで接続された第 1 半導体チップ上に粒子を含む絶縁性スペーサを配置する工程と、

前記絶縁性スペーサを介して前記第 1 半導体チップ上に第 2 半導体チップを搭載する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 16】 導電性ワイヤ接続用の端子が設けられた基材上に第 1 半導体チップをマウントする工程と、

前記基材上にマウントされた第 1 半導体チップと前記基材に設けられた端子とを導電性ワイヤで接続する工程と、

前記導電性ワイヤで接続された第 1 半導体チップ上に粒子を含む絶縁性樹脂を配置する工程と、

前記絶縁性樹脂を介して前記第 1 半導体チップ上に第 2 半導体チップを搭載する工程とを備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、電子デバイス、電子機器および半導体装置の製造方法に関し、特に、半導体チップの積層構造に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、例えば、特許文献1に開示されているように、半導体チップの3次元実装構造を実現するため、積層された半導体チップをワイヤボンダ接続する方法があった。

図6は、従来の半導体装置の概略構成を示す断面図である。

【0003】

図6において、キャリア基板41の表面には導電性ワイヤ44d、45dを接続するランド42が設けられるとともに、キャリア基板41の裏面には突出電極43が設けられている。また、半導体チップ44a、45aには、導電性ワイヤ44d、45dを接続する電極パッド44b、45bがそれぞれ設けられている。そして、キャリア基板41上には、接着層44cを介して半導体チップ44aがフェースアップ実装されている。さらに、半導体チップ44a上には、接着層46b、46cが両面にそれぞれ設けられたミラーチップ46aを介して、半導体チップ45aがフェースアップ実装されている。ここで、ミラーチップ46aは、半導体チップ44aに設けられた電極パッド44bを避けるようにして、半導体チップ44a、45a間に配置されている。

【0004】

そして、キャリア基板41上に実装された半導体チップ44aは、導電性ワイヤ44dを介してキャリア基板41のランド42に電氣的に接続されるとともに、ミラーチップ46aを介して半導体チップ44a上に積層された半導体チップ44bは、導電性ワイヤ45dを介してキャリア基板41のランド42に電氣的に接続されている。そして、導電性ワイヤ44d、45dがそれぞれ接続された半導体チップ44a、45aは、封止樹脂47により封止されている。

【0005】

ここで、半導体チップ44a、45a間にミラーチップ46aを配置することにより、半導体チップ44a、45a間の間隔を増加させることができる。この

ため、下層の半導体チップ 4 4 a に接続される導電性ワイヤ 4 4 d が上層の半導体チップ 4 5 a に接触することを防止することができ、サイズが等しい半導体チップ 4 4 a、4 5 a を積層した場合においても、下層の半導体チップ 4 4 a をワイヤボンド接続することが可能となる。

【0 0 0 6】

【特許文献 1】

特開 2 0 0 0 - 1 0 1 0 1 6 号公報

【0 0 0 7】

【発明が解決しようとする課題】

しかしながら、図 6 の半導体装置では、下層の半導体チップ 4 4 a をワイヤボンド接続するために、半導体チップ 4 4 a、4 5 a 間にミラーチップ 4 6 a を配置する必要があり、工程数が増大するとともに、コストアップを招くという問題があった。

【0 0 0 8】

そこで、本発明の目的は、工程数の増大を抑制しつつ、積層される半導体チップ間の間隔を増大させることが可能な半導体装置、電子デバイス、電子機器および半導体装置の製造方法を提供することである。

【0 0 0 9】

【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第 1 半導体チップと、絶縁性スペーサを介して前記第 1 半導体チップ上に配置された第 2 半導体チップと、前記絶縁性スペーサに混入され、前記第 1 半導体チップと前記第 2 半導体チップとの間隔を保持する固形部材とを備えることを特徴とする。

【0 0 1 0】

これにより、絶縁性スペーサを介して第 1 半導体チップ上に第 2 半導体チップを積層することで、第 1 半導体チップと第 2 半導体チップと間の間隔を一定に保

つことを可能としつつ、第1半導体チップと第2半導体チップとを固定することが可能となる。このため、工程数の増大を抑制しつつ、第1半導体チップと第2半導体チップと間の間隔を増大させることが可能となり、第1半導体チップと第2半導体チップとのサイズが等しい場合においても、第1半導体チップをワイヤボンド接続することが可能となる。

【0011】

また、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第1半導体チップと、絶縁性樹脂を介して前記第1半導体チップ上に配置された第2半導体チップと、前記絶縁性樹脂に混入され、前記第1半導体チップと前記第2半導体チップとの間隔を保持する固形部材とを備えることを特徴とする。

【0012】

これにより、絶縁性樹脂が配置された第1半導体チップ上に第2半導体チップを積層することで、第1半導体チップと第2半導体チップと間の間隔を一定に保つことを可能としつつ、第1半導体チップと第2半導体チップとを固定することが可能となる。このため、工程数の増大を抑制しつつ、第1半導体チップと第2半導体チップと間の間隔を増大させることが可能となり、第1半導体チップと第2半導体チップとのサイズが等しい場合においても、第1半導体チップをワイヤボンド接続することが可能となる。

【0013】

また、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装された第1半導体チップと、前記第1半導体チップに設けられた第1電極パッドと、前記第1電極パッドと前記基材に設けられた端子とを電氣的に接続する第1導電性ワイヤと、前記第1半導体チップ上に配置された第2半導体チップと、前記第2半導体チップに設けられた第2電極パッドと、前記第2電極パッドと前記基材に設けられた端子とを電氣的に接続する第2導電性ワイヤと、前記第1半導体チップ上の第1導電性ワイヤを包み込むようにして、前記第1半導体チップと前記第2半導体チップと

の間に設けられた絶縁性樹脂と、前記絶縁性樹脂に混入され、前記第1半導体チップと前記第2半導体チップとの間隔を保持する固形部材と、前記第1導電性ワイヤが接続された第1半導体チップおよび前記第2導電性ワイヤが接続された第2半導体チップを封止する封止樹脂とを備えることを特徴とする。

【0014】

これにより、絶縁性樹脂が配置された第1半導体チップ上に第2半導体チップを積層することで、第1半導体チップと第2半導体チップと間の間隔を一定に保つことを可能としつつ、第1半導体チップ上の第1導電性ワイヤを絶縁性樹脂で固定することが可能となる。このため、第1導電性ワイヤが接続された第1半導体チップが樹脂封止される場合においても、封止樹脂の注入圧力で第1導電性ワイヤが変形することを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンダ接続された第1半導体チップ上に第2半導体チップを積層することが可能となるとともに、第1導電性ワイヤの異常接触を防止することが可能となる。

【0015】

また、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装された第1半導体チップと、前記第1半導体チップに設けられた第1電極パッドと、前記第1電極パッドと前記基材に設けられた端子とを電氣的に接続する第1導電性ワイヤと、前記第1半導体チップ上に配置された第2半導体チップと、前記第2半導体チップに設けられた第2電極パッドと、前記第2電極パッドと前記基材に設けられた端子とを電氣的に接続する第2導電性ワイヤと、少なくとも前記第2電極パッド下に存在するようにして、前記第1半導体チップと前記第2半導体チップとの間に設けられた絶縁性樹脂と、前記絶縁性樹脂に混入され、前記第1半導体チップと前記第2半導体チップとの間隔を保持する固形部材とを備えることを特徴とする。

【0016】

これにより、絶縁性樹脂が配置された第1半導体チップ上に第2半導体チップを積層することで、第1半導体チップと第2半導体チップと間の間隔を一定に保つことを可能としつつ、第2電極パッドの形成領域を絶縁性樹脂で支えることが

可能となる。このため、第2電極パッド上に第2導電性ワイヤが接続される場合においても、ワイヤボンド時の超音波振動で第2半導体チップが破壊されることを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンド接続された第1半導体チップ上に第2半導体チップを積層することが可能となるとともに、ワイヤボンドを安定して行うことが可能となる。

【0017】

また、本発明の一態様に係る半導体装置によれば、前記第2半導体チップの裏面全体に形成された絶縁層をさらに備えることを特徴とする。

これにより、第1半導体チップに接続された第1導電性ワイヤの高さが高くなった場合においても、第1導電性ワイヤが第2半導体チップの裏面とショートすることを防止することができ、ワイヤボンド接続された第1半導体チップ上に第2半導体チップを安定して積層することが可能となる。

【0018】

また、本発明の一態様に係る半導体装置によれば、前記固形部材の大きさは前記第1半導体チップと前記第2半導体チップとの間の間隔に対応して設定されていることを特徴とする。

これにより、固形部材の大きさに基づいて第1半導体チップと第2半導体チップとの間の間隔を規定することが可能となり、固形部材の大きさを変えることで、第1半導体チップと第2半導体チップとの間の間隔を制御することが可能となる。このため、工程数の増大を抑制しつつ、第1半導体チップと第2半導体チップと間の間隔を増大させることが可能となり、第1半導体チップと第2半導体チップとのサイズが等しい場合においても、ワイヤボンド接続された第1半導体チップ上に第2半導体チップを積層することが可能となる。

【0019】

また、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフリップチップ実装された第1半導体チップと、接着層を介して前記第1半導体チップ上にフェースアップ実装され、第1導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第2半導体チップと、絶縁性スペーサを介して前記第2半導体チップ上にフェースアップ実装

され、第2導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第3半導体チップと、前記絶縁性スペーサに混入され、前記第2半導体チップと前記第3半導体チップとの間隔を保持する固形部材とを備えることを特徴とする。

【0020】

これにより、絶縁性スペーサを介して第2半導体チップ上に第3半導体チップを積層することで、第2半導体チップと第3半導体チップと間の間隔を一定に保つことを可能としつつ、第2半導体チップと第3半導体チップとを固定することが可能となるとともに、高さの増大を抑制しつつ、第2半導体チップと基材との間に第1半導体チップを介装することが可能となる。このため、工程数の増大を抑制しつつ、ワイヤボンド接続された第2半導体チップ上に第3半導体チップを積層することが可能となるとともに、省スペース化を可能としつつ、半導体チップの積層数を増加させることが可能となる。

【0021】

また、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフリップチップ実装された第1半導体チップと、接着層を介して前記第1半導体チップ上にフェースアップ実装され、第1導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第2半導体チップと、絶縁性樹脂を介して前記第2半導体チップ上にフェースアップ実装され、第2導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第3半導体チップと、前記絶縁性樹脂に混入され、前記第2半導体チップと前記第3半導体チップとの間隔を保持する固形部材とを備えることを特徴とする。

【0022】

これにより、絶縁性樹脂が配置された第2半導体チップ上に第3半導体チップを積層することで、第2半導体チップと第3半導体チップと間の間隔を一定に保つことを可能としつつ、第2半導体チップと第3半導体チップとを固定することが可能となるとともに、高さの増大を抑制しつつ、第2半導体チップと基材との間に第1半導体チップを介装することが可能となる。このため、工程数の増大を抑制しつつ、ワイヤボンド接続された第2半導体チップ上に第3半導体チップを

積層することが可能となるとともに、省スペース化を可能としつつ、半導体チップの積層数を増加させることが可能となる。

【 0 0 2 3 】

また、本発明の一態様に係る半導体装置によれば、前記固形部材は、前記半導体チップよりも弾性が高い弾性体であることを特徴とする。

これにより、積層された半導体チップ間にかかる応力を緩和することが可能となり、工程数の増大を抑制しつつ、半導体チップの積層構造を有する半導体装置の信頼性を向上させることが可能となる。

【 0 0 2 4 】

また、本発明の一態様に係る半導体装置によれば、前記固形部材は球状粒子であることを特徴とする。

これにより、固形部材自体の傾きに依存することなく、半導体チップ間の間隔を固形部材の大きさで規定することが可能となり、半導体チップ間の間隔を規定値に保つために、固形部材を一定の方向に向けて半導体チップ上に配置する必要がなくなる。このため、固形部材が混入された絶縁性樹脂を介して半導体チップを積層することで、半導体チップ間の間隔を規定値に保つことが可能となり、工程数の増大を抑制しつつ、ワイヤボンド接続された半導体チップの積層構造を実現することが可能となる。

【 0 0 2 5 】

また、本発明の一態様に係る半導体装置によれば、前記球状粒子の粒径の最大値は前記絶縁性スペーサまたは前記絶縁性樹脂の厚みと実質的に等しいことを特徴とする。

これにより、球状粒子の粒径で半導体チップ間の間隔を規定することが可能となり、球状粒子の粒径の最大値を変えることで、半導体チップ間の間隔を制御することが可能となる。このため、工程数の増大を抑制しつつ、積層された半導体チップ間の間隔を増大させることが可能となり、積層された半導体チップのサイズが等しい場合においても、ワイヤボンド接続された半導体チップの積層構造を実現することが可能となる。

【 0 0 2 6 】

また、本発明の一態様に係る半導体装置によれば、前記球状粒子の重量は、前記絶縁性スペーサまたは前記絶縁性樹脂の重量の1～10%であることを特徴とする。

これにより、半導体チップ間の間隔を安定して維持することを可能としつつ、絶縁性スペーサまたは絶縁性樹脂を介して半導体チップを固着させることが可能となる。

【0027】

また、本発明の一態様に係る電子デバイスによれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第1電子部品と、絶縁性スペーサを介して前記第1電子部品上に配置された第2電子部品と、前記絶縁性スペーサに混入され、前記第1電子部品と前記第2電子部品との間隔を保持する固形部材とを備えることを特徴とする。

【0028】

これにより、絶縁性スペーサを介して第1電子部品上に第2電子部品を積層することで、第1電子部品と第2電子部品と間の間隔を一定に保つことを可能としつつ、第1電子部品と第2電子部品とを固定することが可能となる。このため、工程数の増大を抑制しつつ、第1電子部品と第2電子部品と間の間隔を増大させることが可能となり、第1電子部品と第2電子部品とのサイズが等しい場合においても、第1電子部品をワイヤボンダ接続することが可能となる。

【0029】

また、本発明の一態様に係る電子機器によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第1半導体チップと、絶縁性スペーサを介して前記第1半導体チップ上に配置された第2半導体チップと、前記絶縁性スペーサに混入され、前記第1半導体チップと前記第2半導体チップとの間隔を保持する固形部材と、前記基材を介して前記第1半導体チップおよび前記第2半導体チップと電氣的に接続された電子部品とを備えることを特徴とする。

【0030】

これにより、工程数の増大を抑制しつつ、ワイヤボンダ接続された半導体チップの積層構造を実現することが可能となり、電子機器のコストダウンを図ることが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、導電性ワイヤ接続用の端子が設けられた基材上に第1半導体チップをマウントする工程と、前記基材上にマウントされた第1半導体チップと前記基材に設けられた端子とを導電性ワイヤで接続する工程と、前記導電性ワイヤで接続された第1半導体チップ上に粒子を含む絶縁性スペーサを配置する工程と、前記絶縁性スペーサを介して前記第1半導体チップ上に第2半導体チップを搭載する工程とを備えることを特徴とする。

【0031】

これにより、絶縁性スペーサを介して第1半導体チップ上に第2半導体チップを積層することで、ワイヤボンダ接続された第1半導体チップ上に第2半導体チップを積層した場合においても、導電性ワイヤが第2半導体チップに接触することを防止することが可能となり、ワイヤボンダ接続された半導体チップの積層構造のコストダウンを図ることが可能となる。

【0032】

また、本発明の一態様に係る半導体装置の製造方法によれば、導電性ワイヤ接続用の端子が設けられた基材上に第1半導体チップをマウントする工程と、前記基材上にマウントされた第1半導体チップと前記基材に設けられた端子とを導電性ワイヤで接続する工程と、前記導電性ワイヤで接続された第1半導体チップ上に粒子を含む絶縁性樹脂を配置する工程と、前記絶縁性樹脂を介して前記第1半導体チップ上に第2半導体チップを搭載する工程とを備えることを特徴とする。

【0033】

これにより、絶縁性樹脂が配置された第1半導体チップ上に第2半導体チップを積層することで、ワイヤボンダ接続された第1半導体チップ上に第2半導体チップを積層した場合においても、導電性ワイヤが第2半導体チップに接触することを防止することが可能となり、ワイヤボンダ接続された半導体チップの積層構造のコストダウンを図ることが可能となる。

【0034】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置およびその製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の概略構成を示す断面図である。

【0035】

図1において、キャリア基板1の表面には導電性ワイヤ4d、5dを接続するランド2が設けられるとともに、キャリア基板1の裏面には突出電極3が設けられている。なお、キャリア基板1としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板1の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BTレジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極3としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。

【0036】

また、半導体チップ4a、5aには、導電性ワイヤ4d、5dを接続する電極パッド4b、5bがそれぞれ設けられ、半導体チップ5aの裏面には、絶縁層5cが設けられている。なお、導電性ワイヤ4d、5dとしては、例えば、AuワイヤやAlワイヤなどを用いることができる。また、絶縁層5cとしては、例えば、絶縁シートまたは絶縁ペーストなどを用いることができる。なお、半導体チップ5aの裏面に設けられた絶縁層5cはなくてもよい。

【0037】

そして、キャリア基板1上には、接着層4cを介して半導体チップ4aがフェースアップ実装されている。さらに、半導体チップ4a上には、粒子7が混入された絶縁性樹脂6を介して半導体チップ5aがフェースアップ実装されている。なお、絶縁性樹脂6としては、ペースト状樹脂またはシート状樹脂を用いることができ、例えば、エポキシ系樹脂、アクリル系樹脂またはマレイミド系樹脂など

を用いることができる。また、粒子7の粒子径は、例えば、 $30 \sim 150 \mu m \phi$ の範囲に設定することができる。

【0038】

そして、キャリア基板1上に実装された半導体チップ4aは、導電性ワイヤ4dを介してキャリア基板1のランド2に電氣的に接続されるとともに、絶縁性樹脂6を介して半導体チップ4a上に積層された半導体チップ5aは、導電性ワイヤ5dを介してキャリア基板1のランド2に電氣的に接続されている。そして、導電性ワイヤ4d、5dがそれぞれ接続された半導体チップ4a、5aは封止樹脂8により封止されている。

【0039】

ここで、絶縁性樹脂6に混入された粒子7の大きさは、半導体チップ4a、5a間の間隔を粒子7で保持することにより、導電性ワイヤ4dが半導体チップ5aに接触しないように設定することができる。例えば、粒子7の大きさは、半導体チップ4a、5a間に充填される絶縁性樹脂6の厚みに一致させることができる。

【0040】

これにより、絶縁性樹脂7が配置された半導体チップ4a上に半導体チップ5aを積層することで、半導体チップ4a、5a間の間隔を一定に保つことを可能としつつ、半導体チップ4a、5aを固定することが可能となる。このため、工程数の増大を抑制しつつ、半導体チップ4a、5a間の間隔を増大させることが可能となり、半導体チップ4a、5aのサイズが等しい場合においても、導電性ワイヤ4dが接続された半導体チップ4a上に半導体チップ5aを積層することが可能となる。

【0041】

なお、絶縁性樹脂6には、大小様々の粒子7が混入されていてもよいが、粒子7の大きさの最大値は絶縁性樹脂6の厚みと実質的に等しいことが好ましい。また、絶縁性樹脂6の厚みと大きさが実質的に等しい粒子7は、少なくとも3個以上あることが好ましい。これにより、粒子7の大きさで半導体チップ4a、5a間の間隔を規定することが可能となり、粒子7の大きさの最大値を変えることで

、半導体チップ 4 a、5 a 間の間隔を容易に制御することが可能となる。

【0042】

また、粒子 7 の形状は球状であることが好ましい。これにより、粒子 7 自体の傾きに依存することなく、半導体チップ 4 a、5 a 間の間隔を粒子 7 の粒径だけで規定することが可能となり、半導体チップ 4 a、5 a 間の間隔を規定値に保つために、粒子 7 を一定の方向に向けて半導体チップ 4 a 上に配置する必要がなくなる。このため、粒子 7 が混入された絶縁性樹脂 6 を介して半導体チップ 4 a、5 a を積層することで、半導体チップ 4 a、5 a 間の間隔を規定値に保つことが可能となり、工程数の増大を抑制しつつ、ワイヤボンド接続された半導体チップ 4 a、5 a の積層構造を実現することが可能となる。

【0043】

また、粒子 7 は、半導体チップ 4 a、5 a よりも弾性が高い弾性体であることが好ましく、例えば、ポリスチレン系樹脂またはアクリル系樹脂などを用いることができる。これにより、積層された半導体チップ 4 a、5 a 間にかかる応力を緩和することが可能となり、工程数の増大を抑制しつつ、半導体チップ 4 a、5 a の積層構造を有する半導体装置の信頼性を向上させることが可能となる。また、粒子 7 の重量は、絶縁性樹脂 6 の重量の 1～10%であることが好ましい。

【0044】

図 2 は、図 1 の半導体装置の製造方法を示す断面図である。

図 2 (a) において、接着層 4 c を介し、半導体チップ 4 a をキャリア基板 1 上にフェースアップ実装する。そして、キャリア基板 1 上にフェースアップ実装された半導体チップ 4 a のワイヤボンドを行うことにより、ランド 2 と電極パッド 4 b とを導電性ワイヤ 4 d で接続する。

【0045】

次に、図 2 (b) に示すように、導電性ワイヤ 4 d が接続された半導体チップ 4 a 上に粒子 7 が混入された絶縁性樹脂 6 を配置する。なお、粒子 7 が混入された絶縁性樹脂 6 を半導体チップ 4 a 上に配置する場合、例えば、ディスペンサなどを用いることができる。

次に、図 2 (c) に示すように、粒子 7 が混入された絶縁性樹脂 6 を介し、絶

絶縁層 5 c が裏面に設けられた半導体チップ 5 a を半導体チップ 4 a 上にフェースアップ実装する。そして、半導体チップ 5 a を半導体チップ 4 a 上に押し付け、粒子 7 の剛性に対抗して半導体チップ 4 a、5 a 間の間隔を狭めることができなくなるまで、絶縁性樹脂 6 を押し潰す。これにより、半導体チップ 4 a、5 a 間の間隔を粒子 7 の大きさで規定することが可能となり、粒子 7 の大きさを制御することで、半導体チップ 4 a に接続された導電性ワイヤ 4 d に半導体チップ 5 a が接触することを防止しつつ、半導体チップ 4 a 上に半導体チップ 5 a を積層することが可能となる。

【0046】

そして、半導体チップ 4 a、5 a 間の間隔が粒子 7 で保持された状態で、絶縁性樹脂 6 を硬化させる。そして、半導体チップ 4 a 上にフェースアップ実装された半導体チップ 5 a のワイヤボンドを行うことにより、ランド 2 と電極パッド 5 b とを導電性ワイヤ 5 d で接続する。

次に、図 1 に示すように、トランスファーモールドなどの方法により、導電性ワイヤ 4 d、5 d でそれぞれ接続された半導体チップ 4 a、5 a を封止樹脂 8 で封止する。

【0047】

図 3 は、本発明の第 2 実施形態に係る半導体装置の概略構成を示す断面図である。

図 3 において、キャリア基板 11 の表面には導電性ワイヤ 14 d、15 d を接続するランド 12 が設けられるとともに、キャリア基板 11 の裏面には突出電極 13 が設けられている。また、半導体チップ 14 a、15 a には、導電性ワイヤ 14 d、15 d を接続する電極パッド 14 b、15 b がそれぞれ設けられ、半導体チップ 15 a の裏面には、絶縁層 15 c が設けられている。なお、半導体チップ 15 a の裏面に設けられた絶縁層 15 c はなくてもよい。

【0048】

そして、キャリア基板 11 上には、接着層 14 c を介して半導体チップ 14 a がフェースアップ実装されている。さらに、半導体チップ 14 a 上には、粒子 17 が混入された絶縁性樹脂 16 を介して、半導体チップ 15 a がフェースアップ

実装されている。

そして、キャリア基板 11 上に実装された半導体チップ 14 a は、導電性ワイヤ 14 d を介してキャリア基板 11 のランド 12 に電氣的に接続されるとともに、絶縁性樹脂 16 を介して半導体チップ 14 a 上に積層された半導体チップ 15 a は、導電性ワイヤ 15 d を介してキャリア基板 11 のランド 12 に電氣的に接続されている。そして、導電性ワイヤ 14 d、15 d がそれぞれ接続された半導体チップ 14 a、15 a は封止樹脂 18 により封止されている。

【0049】

ここで、絶縁性樹脂 16 に混入された粒子 17 の大きさは、半導体チップ 14 a、15 a 間の間隔を粒子 17 で保持することにより、導電性ワイヤ 14 d が半導体チップ 15 a に接触しないように設定することができる。また、半導体チップ 14 a 上の導電性ワイヤ 14 d が包み込まれるように、半導体チップ 14 a、15 a 間に絶縁性樹脂 16 を充填することができる。これにより、半導体チップ 14 a、15 a 間の間隔を一定に保つことを可能としつつ、半導体チップ 14 a 上の導電性ワイヤ 14 d を絶縁性樹脂 16 で固定することが可能となる。このため、導電性ワイヤ 14 d が接続された半導体チップ 14 a が樹脂封止される場合においても、封止樹脂 18 の注入圧力で導電性ワイヤ 14 d が変形することを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンド接続された半導体チップ 14 a 上に半導体チップ 15 a を積層することが可能となるとともに、導電性ワイヤ 14 d の異常接触を防止することが可能となる。

【0050】

また、半導体チップ 15 a の電極パッド 15 b 下にも絶縁性樹脂 16 が存在するように、半導体チップ 14 a、15 a 間に絶縁性樹脂 16 を充填することができる。これにより、半導体チップ 14 a、15 a 間の間隔を一定に保つことを可能としつつ、電極パッド 15 b の形成領域を絶縁性樹脂 16 で支えることが可能となる。このため、電極パッド 15 b 上に導電性ワイヤ 15 d が接続される場合においても、ワイヤボンド時の超音波振動で半導体チップ 15 a が破壊されることを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンド接続された半導体チップ 14 a 上に半導体チップ 15 a を積層することが可能となる。

とともに、ワイヤボンドを安定して行うことが可能となる。

【0051】

図4は、本発明の第3実施形態に係る半導体装置の概略構成を示す断面図である。

図4において、キャリア基板21の表面には、導電性ワイヤ25d、26dを接続するランド22aが設けられるとともに、突出電極24cを接合するランド22bが設けられ、キャリア基板21の裏面には突出電極23が設けられている。また、半導体チップ24aには、突出電極24cが配置された電極パッド24bが設けられている。また、半導体チップ25a、26aには、導電性ワイヤ25d、26dを接続する電極パッド25b、26bがそれぞれ設けられ、半導体チップ26aの裏面には、絶縁層26cが設けられている。なお、突出電極23、24cとしては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。また、半導体チップ26aの裏面に設けられた絶縁層26cはなくてもよい。

【0052】

そして、キャリア基板21上には、突出電極24cを介して半導体チップ24aがフリップチップ実装されている。なお、突出電極24cを介して半導体チップ24aをキャリア基板21上にフリップチップ実装する場合、例えばACF (Anisotropic Conductive Film) 接合、NCF (Nonconductive Film) 接合、ACP (Anisotropic Conductive Paste) 接合、NCP (Nonconductive Paste) 接合などの接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。

【0053】

また、フリップチップ実装された半導体チップ24aの裏面上には、接着層25cを介して半導体チップ25aがフェースアップ実装されている。さらに、半導体チップ25a上には、粒子28が混入された絶縁性樹脂27を介して半導体チップ26aがフェースアップ実装されている。

そして、半導体チップ24aの裏面上に実装された半導体チップ25aは、導

電性ワイヤ 25 d を介してキャリア基板 21 のランド 22 a に電氣的に接続されるとともに、絶縁性樹脂 27 を介して半導体チップ 25 a 上に積層された半導体チップ 26 a は、導電性ワイヤ 26 d を介してキャリア基板 21 のランド 22 a に電氣的に接続されている。そして、フリップチップ実装された半導体チップ 24 a および導電性ワイヤ 25 d、26 d がそれぞれ接続された半導体チップ 25 a、26 a は、封止樹脂 29 により封止されている。

【0054】

ここで、絶縁性樹脂 27 に混入された粒子 28 の大きさは、半導体チップ 25 a、26 a 間の間隔を粒子 28 で保持することにより、導電性ワイヤ 25 d が半導体チップ 26 a に接触しないように設定することができる。また、半導体チップ 25 a 上の導電性ワイヤ 25 d が包み込まれるように、半導体チップ 25 a、26 a 間に絶縁性樹脂 27 を充填することができる。また、半導体チップ 26 a の電極パッド 26 b 下にも絶縁性樹脂 27 が存在するように、半導体チップ 25 a、26 a 間に絶縁性樹脂 27 を充填することができる。

【0055】

これにより、ワイヤボンダ接続される半導体チップ 25 a、26 a 間の間隔を一定に保つことを可能としつつ、半導体チップ 25 a、26 a を固定することが可能となるとともに、高さの増大を抑制しつつ、半導体チップ 25 a とキャリア基板 21 との間に半導体チップ 24 a を介装することが可能となる。このため、工程数の増大を抑制しつつ、ワイヤボンダ接続された半導体チップ 25 a 上に半導体チップ 26 a を積層することが可能となるとともに、省スペース化を可能としつつ、半導体チップ 24 a ～ 26 a の積層数を増加させることが可能となる。

【0056】

図 5 は、本発明の第 4 実施形態に係る半導体装置の概略構成を示す断面図である。

図 5 において、リードフレーム 31 には、半導体チップ 34 a をダイボンダするダイパッド 32 が設けられるとともに、導電性ワイヤ 34 d、35 d を接続するリード 33 が設けられている。また、半導体チップ 34 a、35 a には、導電性ワイヤ 34 d、35 d を接続する電極パッド 34 b、35 b がそれぞれ設けら

れ、半導体チップ 35 a の裏面には、絶縁層 35 c が設けられている。なお、半導体チップ 35 a の裏面に設けられた絶縁層 35 c はなくてもよい。

【0057】

そして、リードフレーム 31 のダイパッド 32 上には、接着層 34 c を介して半導体チップ 34 a がフェースアップ実装されている。さらに、半導体チップ 34 a 上には、粒子 37 が混入された絶縁性樹脂 36 を介して半導体チップ 35 a がフェースアップ実装されている。

そして、ダイパッド 32 上にダイボンドされた半導体チップ 34 a は、導電性ワイヤ 34 d を介してリードフレーム 31 のリード 33 に電氣的に接続されるとともに、絶縁性樹脂 36 を介して半導体チップ 34 a 上に積層された半導体チップ 35 a は、導電性ワイヤ 35 d を介してリードフレーム 31 のリード 33 に電氣的に接続されている。そして、導電性ワイヤ 34 d、35 d がそれぞれ接続された半導体チップ 34 a、35 a は、封止樹脂 38 により封止されている。

【0058】

ここで、絶縁性樹脂 36 に混入された粒子 37 の大きさは、半導体チップ 34 a、35 a 間の間隔を粒子 37 で保持することにより、導電性ワイヤ 34 d が半導体チップ 35 a に接触しないように設定することができる。また、半導体チップ 34 a 上の導電性ワイヤ 34 d が包み込まれるように、半導体チップ 34 a、35 a 間に絶縁性樹脂 36 を充填することができる。また、半導体チップ 35 a の電極パッド 35 b 下にも絶縁性樹脂 36 が存在するように、半導体チップ 34 a、35 a 間に絶縁性樹脂 36 を充填することができる。

【0059】

これにより、半導体チップ 34 a、35 a の積層構造をリードフレーム 31 にマウントする場合においても、半導体チップ 34 a、35 a 間の間隔を一定に保つことを可能としつつ、導電性ワイヤ 34 d が接続された半導体チップ 34 a 上に半導体チップ 35 a を積層することが可能となり、半導体装置のコストダウンを図ることが可能となる。

【0060】

なお、上述した半導体装置は、例えば、液晶表示装置、携帯電話、携帯情報端

末、ビデオカメラ、デジタルカメラ、MD (Mini Disc) プレーヤなどの電子機器に適用することができ、電子機器の小型・軽量化を可能としつつ、電子機器のコストダウンを図ることができる。

【図面の簡単な説明】

【図 1】 第 1 実施形態に係る半導体装置の概略構成を示す断面図。

【図 2】 図 1 の半導体装置の製造方法を示す断面図。

【図 3】 第 2 実施形態に係る半導体装置の概略構成を示す断面図。

【図 4】 第 3 実施形態に係る半導体装置の概略構成を示す断面図。

【図 5】 第 4 実施形態に係る半導体装置の概略構成を示す断面図。

【図 6】 従来の半導体装置の概略構成を示す断面図。

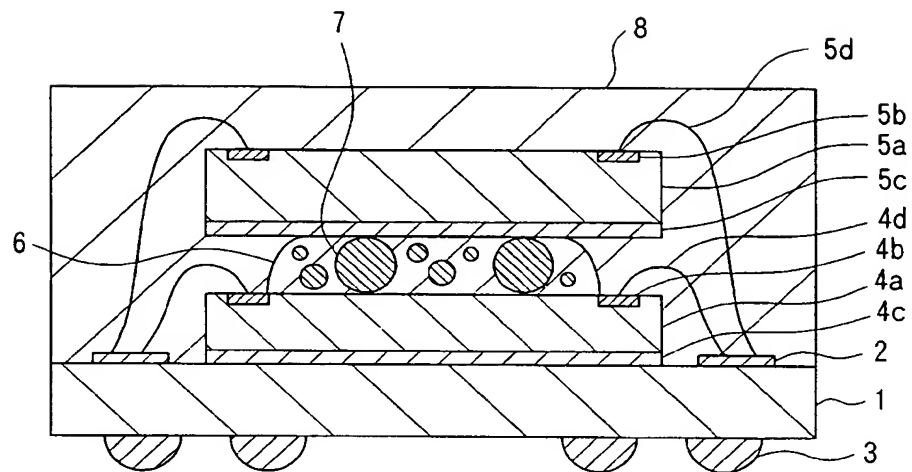
【符号の説明】

1、11、21 キャリア基板、2、12、22a、22b ランド、3、13、23、24c 突出電極、4a、5a、14a、15a、24a、25a、26a、34a、35a 半導体チップ、4b、5b、14b、15b、24b、25b、26b、34b、35b 電極パッド、4c、14c、25c、34c 接着層、5c、15c、26c、35c 絶縁層、4d、5d、14d、15d、25d、26d、34d、35d 導電性ワイヤ、6、16、27、36 絶縁性樹脂、7、17、28、37 粒子、8、18、29、38 封止樹脂、31 リードフレーム、32 ダイパッド、33 リード

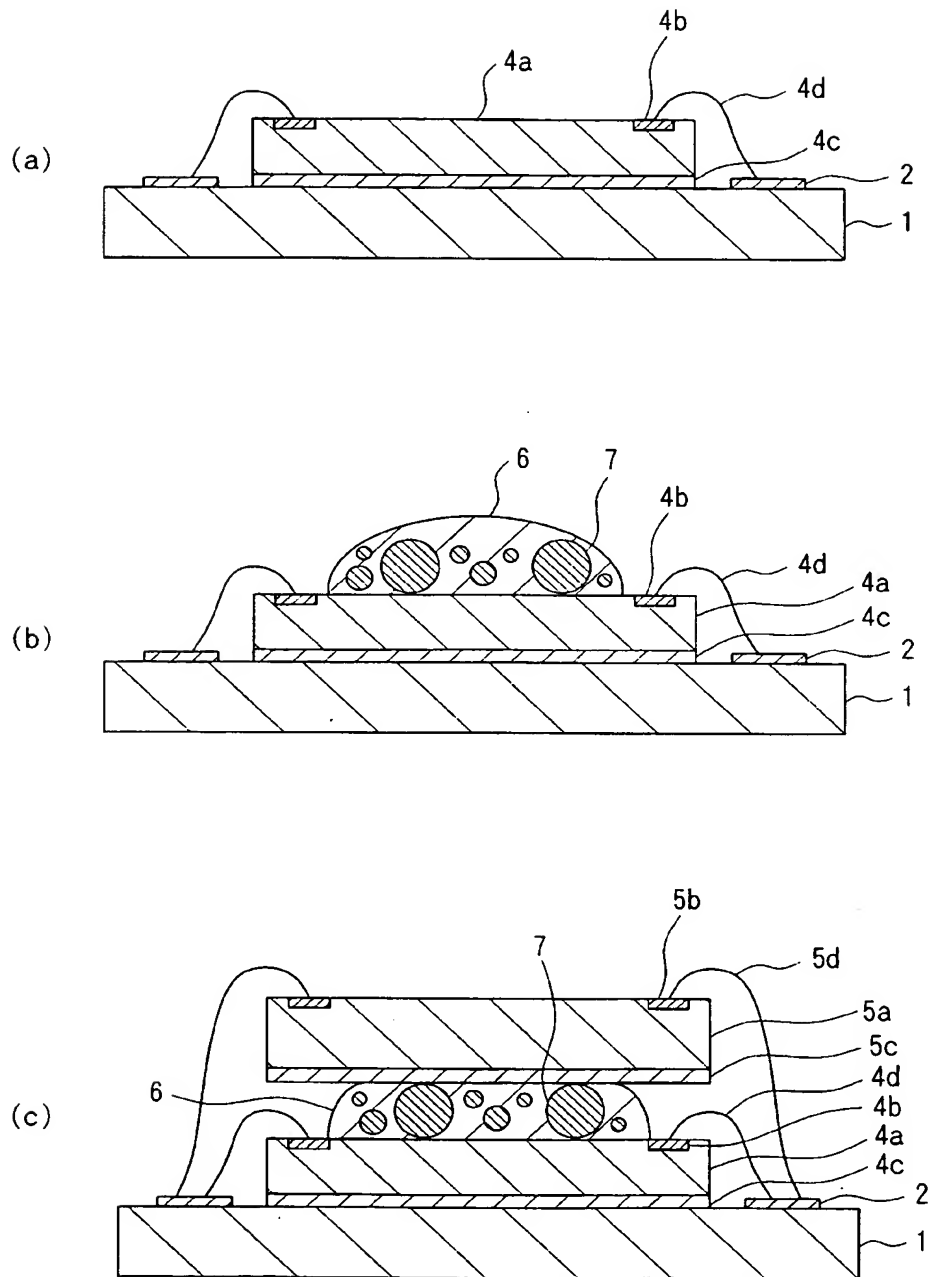
【書類名】

図面

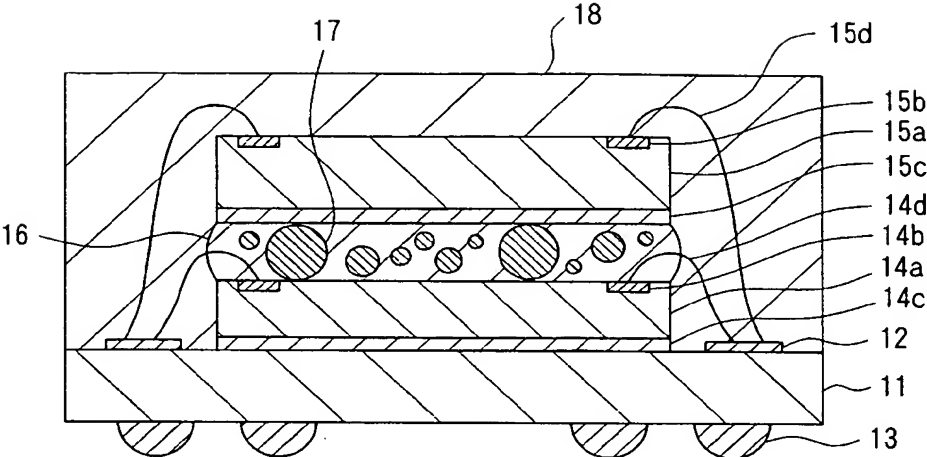
【図 1】



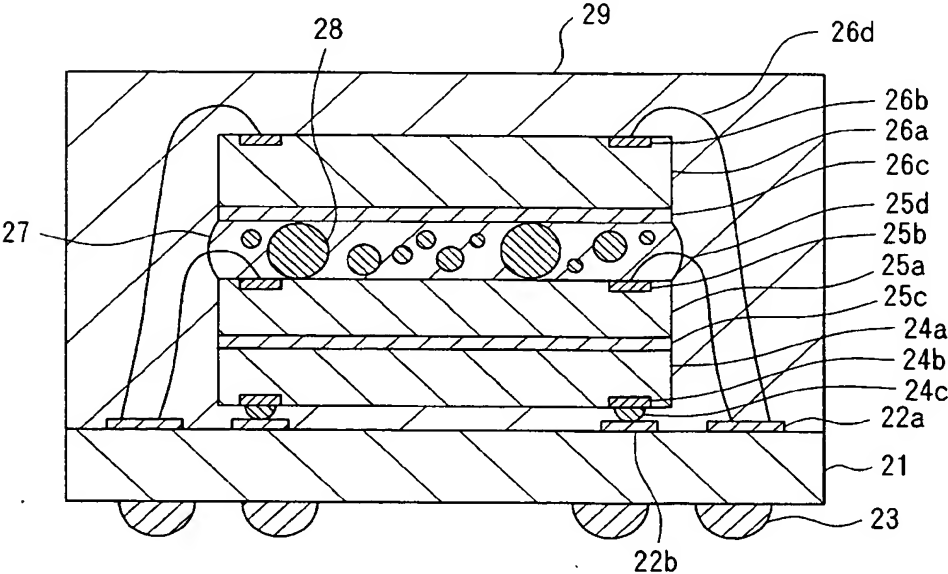
【図 2】



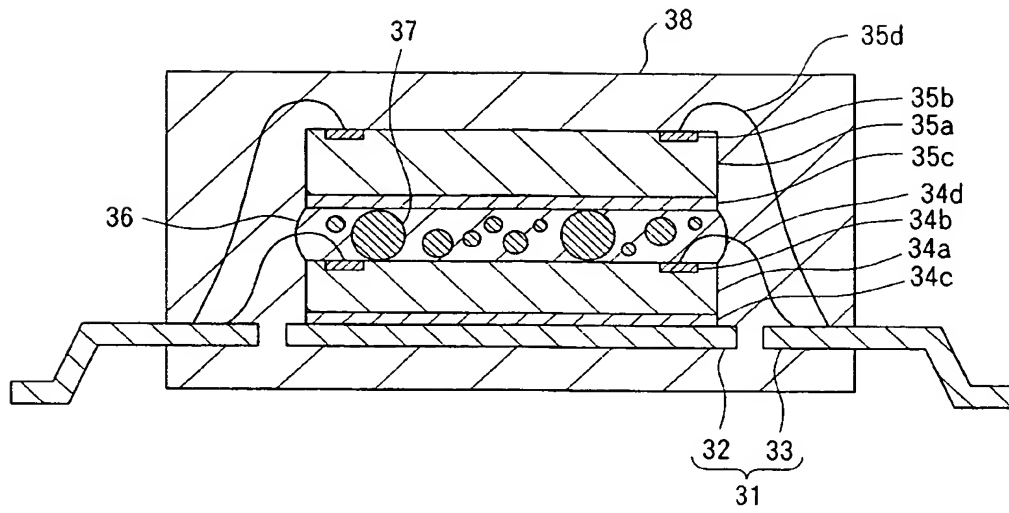
【図 3】



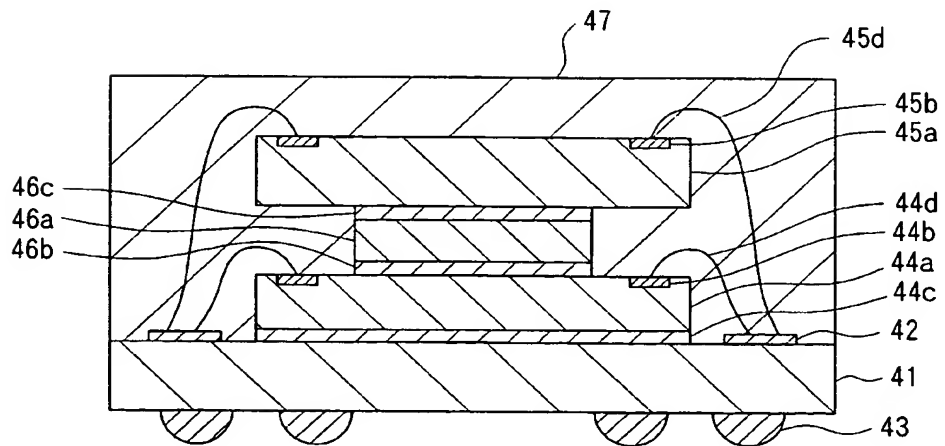
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 工程数の増大を抑制しつつ、積層される半導体チップ間の間隔を増大させる。

【解決手段】 粒子 7 が混入された絶縁性樹脂 6 を介して半導体チップ 4 a 上に半導体チップ 5 a をフェースアップ実装し、絶縁性樹脂 6 に混入された粒子 7 の大きさを、半導体チップ 4 a に接続された導電性ワイヤ 4 d が半導体チップ 5 a に接触しないように、半導体チップ 4 a、5 a 間の間隔を粒子 7 自体で保持できるように設定する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 8 8 8 2 9
受付番号	5 0 3 0 0 5 0 7 9 6 0
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 3 月 2 8 日

< 認定情報・付加情報 >

【提出日】 平成15年 3月27日

次頁無

特願 2 0 0 3 - 0 8 8 8 2 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社